

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-204758

(43)公開日 平成11年(1999)7月30日

(51)Int CL*

H 01 L 27/108
21/8242
27/04
21/822

識別記号

F I

H 01 L 27/10
27/04

6 2 5 A
C

審査請求有 請求項の数39 O.L (全 13 頁)

(21)出願番号 特願平10-81392

(71)出願人 397031108

(22)出願日 平成10年(1998)3月27日

世界先進模擬電路股▲ふん▼有限公司
台灣新竹科學工業園區新竹縣園區三路123
号

(31)優先権主張番号 8 7 1 0 0 1 1 5

(72)発明者 虞 志遠

(32)優先日 1998年1月6日

台灣新竹市新光路81號4樓

(33)優先権主張国 台湾(TW)

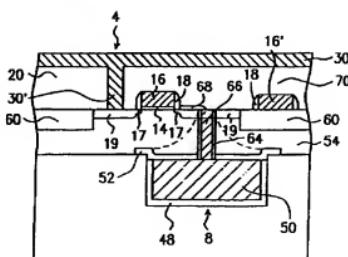
(74)代理人 弁理士 中村 稔 (外7名)

(54)【発明の名稱】 半導体基板に埋蔵した水平型トレンチコンデンサの製造方法

(57)【要約】 (修正有)

【課題】 埋蔵型凹型水平型トレンチコンデンサを提供する。

【解決手段】 シリコン基板の上にエッチで構成されるトレンチに高誘電定数の誘電層を形成し、トレンチに第1のポリシリコン層50を充填し、第1のポリシリコン層の上に第2の誘電層52を形成し、基板と第1のポリシリコン50の上にエピタキシ54/非エピタキシャルシリコン層を形成するとともに、トレンチ上のデバイスエリアを囲む電界酸化エリア60を形成する。エピタキシ/非エピタキシャルシリコン層内に形成する接触孔の側壁に酸化ライナー64とポリシード金属を形成してアノード接触点66を画成し、デバイスエリア上にFETを形成して、重ドープドソース/ドレイン電極エリア19とアノード接触点66を接続し、軽ドープドソース/ドレイン電極エリア17はワードライン16'に接続することを特徴とする埋蔵型水平型トレンチコンデンサの構成とその製造方法の提供。



【特許請求の範囲】

【請求項1】 半導体基板に埋蔵する水平型トレンチコンデンサの製造方法において、

前記基板に複数のトレンチをエッチングすることにより前記水平型トレンチコンデンサを画成し、

前記基板の各トレンチに第1の誘電層を形成させ、

前記各トレンチに第1のポリシリコン層を充填するとともに、前記第1のポリシリコン層と前記基板表面を同一平面にして、前記基板と前記第1のポリシリコン層上に第2の誘電層を形成させ、なお、

第2の誘電層をバーニングすることにより第1のポリシリコン層上の前記第2の誘電層を残し、

前記シリコン基板上に成長するエピタキシャル層の側面を前記第1のポリシリコン層上の前記第2の誘電層を上迄延ばせると共に、アモルファスSi層を前記第2の誘電層上に成長させ、

前記アモルファスSi層上部の表面積を、エピタキシ成長の厚さの増加に対して縮小させることからエピタキシ／アモルファスSi層を形成させ、また、

前記エピタキシ／アモルファスSi層及び前記第2の誘電層を貫通して前記トレンチ上の前記第1のシリコン層に複数の端点接触孔をエッチングし、

前記各端点接触孔の前記エピタキシ／アモルファスSi層の側壁に絶縁ライナーを形成させ、

前記各端点接触孔に第2のポリシリコン層を充填してアノード電極の接触点を画成して前記埋蔵式水平型トレンチコンデンサのアレイを完成するステップ等を備えたことを特徴とする半導体基板に埋蔵した水平型トレンチコンデンサの製造方法。

【請求項2】 前記基板がP+ 単結晶シリコンで、そのドーピング濃度が約 1×10^{16} atom/cm³から 1×10^{18} atom/cm³迄の間で形成されてあることを特徴とする請求項1に記載の半導体基板に埋蔵した水平型トレンチコンデンサの製造方法。

【請求項3】 エッチングされた前記トレンチの深さが約0.2μmから2.0μm迄の間にあることを特徴とする請求項1に記載の半導体基板に埋蔵した水平型トレンチコンデンサの製造方法。

【請求項4】 前記第1と第2の誘電層が酸化珪素／塩化珪素／酸化珪素層であることを特徴とする請求項1に記載の半導体基板に埋蔵した水平型トレンチコンデンサの製造方法。

【請求項5】 前記第1と第2のポリシリコン層は、約 1×10^{19} atom/cm³から 1×10^{21} atom/cm³迄の濃度でN⁺ドープされて形成することを特徴とする請求項1に記載の半導体基板に埋蔵した水平型トレンチコンデンサの製造方法。

【請求項6】 前記エピタキシ層は、約 1×10^{16} atom/cm³から 1×10^{18} atom/cm³迄の濃度でP⁻ドープされて形成することを特徴とする請求項1に記載の半導体基板に埋蔵した水平型トレンチコンデンサの製造方法。

【請求項7】 前記絶縁バットが酸化珪素／塩化珪素／酸化珪素であることを特徴とする請求項1に記載の半導体基板に埋蔵した水平型トレンチコンデンサの製造方法。

基板に埋蔵した水平型トレンチコンデンサの製造方法。

【請求項8】 前記絶縁バットが酸化珪素／塩化珪素／酸化珪素であることを特徴とする請求項1に記載の半導体基板に埋蔵した水平型トレンチコンデンサの製造方法。

【請求項9】 半導体基板内に形成された複数の埋蔵式水平型トレンチコンデンサによって形成されるDRAMセルアレイの製造方法において、

前記基板上に第1のバット酸化層を形成し、

前記第1のバット酸化層に第1の塩化シリコン層を形成させ、

前記第1の塩化珪素層をバーニングして前記基板に複数のトレンチを画成し、

前記各隔壁式水平型トレンチコンデンサをそれぞれの前記各ダイナミックラムセルに形成させ、

前記基板の前記各トレンチ上に第1の誘電層を形成し、充填しうる厚さのブランケット状の第1のポリシリコン層を形成して前記各トレンチを充填し、なお、

化成膜研磨法にて前記第1のポリシリコン層を研磨することにより前記第1のポリシリコン層と前記基板上が同一の平面を形成するとき、前記基板の表面に露出させて前記基板と前記第1のポリシリコン層の上に第2の誘電層を形成し、

前記第2誘電層をバーニングすることにより前記第1のポリシリコン層を覆う部分のみを残し、

前記基板上にエピタキシ層を成長させてその側面を前記第1のポリシリコン層上の前記第2誘電層の上迄延ばせるとともに、アルモファスSi層を前記第2誘電層の上に成長させることにより前記アモルファスSi層の上部表面積をエピタキシが成長する厚さの増加によって減少し、エピタキシ／アモルファスSi層を形成させ、

第2のバット酸化層及び第2の塩化珪素層にて前記アクティビデバイスエリアの上に電界酸化隔離区域を画成して、前記埋蔵式水平型トレンチコンデンサの周囲を囲むようにして前記埋蔵式水平型トレンチコンデンサ上のアクティビデバイスエリアを隔離し、

前記第2の塩化珪素層、前記エピタキシ／アモルファスSi層及び前記第2の誘電層を貫通して前記埋蔵式水平型トレンチコンデンサ上の前記第1のシリコン層に複数の端点接触孔をエッチングし、

前記各端点接触孔の前記エピタキシ／アモルファスSi層の側壁に絶縁ライナーを形成させ、第2のポリシリコン層を形成するとともに、エッチバックすることにより前記各端点接触孔を第2のポリシリコン層で充填してアノード電極の接触点を画成し、

前記第2の塩化珪素層と前記第2のバット酸化層を除去することで埋蔵式水平型トレンチコンデンサのアレイを画成するステップ等を備えたことを特徴とする半導体基板内に形成する複数の前記埋蔵式水平型トレンチコンデンサによって形成されるダイナミックラムセルアレイの

製造方法

【請求項9】 前記基板がP+ 単結晶シリコンで、そのドーピング濃度が約 1×10^{18} atom/cm³から 1×10^{19} atom/cm³迄の間で形成されてあることを特徴とする請求項8に記載の半導体基板内に形成する複数の前記埋戻式水平型トレンチコンデンサによって形成されるダイナミックラムセルアレイの製造方法

【請求項10】 エッチングされた前記トレンチの深さが約0.2μmから2.0μm迄の間にあることを特徴とする請求項8に記載の半導体基板内に形成する複数の前記埋戻式水平型トレンチコンデンサによって形成されるダイナミックラムセルアレイの製造方法

【請求項11】 前記第1と第2の誘電層が酸化珪素/塗化珪素/酸化珪素層であることを特徴とする請求項8に記載の半導体基板内に形成する複数の前記埋戻式水平型トレンチコンデンサによって形成されるダイナミックラムセルアレイの製造方法

【請求項12】 形成された前記酸化珪素/塗化珪素/酸化シリコン層の厚さが約20から100Åの間にあることを特徴とする請求項8に記載の半導体基板内に形成する複数の前記埋戻式水平型トレンチコンデンサによって形成されるダイナミックラムセルアレイの製造方法

【請求項13】 前記第1と第2の誘電層に酸化タンタル(Ta₂O₅)を含むことを特徴とする請求項8に記載の半導体基板内に形成する複数の前記埋戻式水平型トレンチコンデンサによって形成されるダイナミックラムセルアレイの製造方法

【請求項14】 前記第1と第2のポリシリコン層は、約 1×10^{19} atom/cm³から 1×10^{21} atom/cm³迄の濃度でN⁺ドープされて形成することを特徴とする請求項8に記載の半導体基板内に形成する複数の前記埋戻式水平型トレンチコンデンサによって形成されるダイナミックラムセルアレイの製造方法

【請求項15】 前記エピタキシ層は、約 1×10^{15} atom/cm³から 1×10^{18} atom/cm³迄の濃度でP⁺ドープされて形成することを特徴とする請求項8に記載の半導体基板内に形成する複数の前記埋戻式水平型トレンチコンデンサによって形成されるダイナミックラムセルアレイの製造方法

【請求項16】 前記エピタキシ/アモルファスSi層の厚さが約200から5000Åの間にあることを特徴とする請求項8に記載の半導体基板内に形成する複数の前記埋戻式水平型トレンチコンデンサによって形成されるダイナミックラムセルアレイの製造方法

【請求項17】 前記絶縁ライナーが酸化珪素/塗化珪素/酸化珪素であって、その厚さが約20から200Åの間にあることを特徴とする請求項8に記載の半導体基板内に形成する複数の前記埋戻式水平型トレンチコンデンサによって形成されるダイナミックラムセルアレイの製造方法

【請求項18】 前記絶縁ライナーが酸化タンタル(Ta₂O₅)であって、その厚さが約20から100Åの間にあることを特徴とする請求項8に記載の半導体基板内に形成する複数の前記埋戻式水平型トレンチコンデンサによって形成されるダイナミックラムセルアレイの製造方法

【請求項19】 前記電界酸化隔離エリアは、局部エリヤ酸化法によってエキピタシ層を熱酸化して形成されたことを特徴とする請求項8に記載の半導体基板内に形成する複数の前記埋戻式水平型トレンチコンデンサによって形成されるダイナミックラムセルアレイの製造方法

【請求項20】 前記電界酸化隔離エリアは、浅清隔離法によって形成され、前記方法に、

(a) フォートレジストエッチャスマスクで前記第2の塗化珪素層をバーニングすることにより前記エピタキシ/アモルファスSi層に複数の浅い隔離溝をエッチャングで画成し、

(b) 前記フォートレジストマスクを除去して、

(c) 前記各トレンチに選択性の熱酸化層を生成し、

(d) 二酸化珪素層を化学蒸着し、化学機械研磨法を用いて前記酸化珪素を前記塗化珪素層が露出する迄研磨して前記浅清隔離エリアを形成することを特徴とする請求項8に記載の半導体基板内に形成する複数の前記埋戻式水平型トレンチコンデンサによって形成されるダイナミックラムセルアレイの製造方法

【請求項21】 タイナミックラムセルアレイの製造において、半導体基板上に複数の埋戻式水平型トレンチコンデンサを前記アモルファスSi層を形成するとき、前記シリコン基板上に第1のバット酸化層を形成し、前記第1のバット酸化層上に第1の塗化珪素層を形成し、

前記第1の塗化珪素層をバーニングすることにより前記基板に複数のトレンチをエッチャングして前記各埋戻式水平型トレンチコンデンサをそれぞれの前記各DRAMセルの中に入し、なお前記基板の前記各トレンチ上に第1の誘電層を形成して充填し、厚さのランクネット状の第1のアモルファスSi層を形成して前記各トレンチを充填し、

化学機械研磨法にて前記第1のポリシリコン層を研磨することにより前記第1のポリシリコン層と前記基板とが同一の平面を形成するとき、前記基板の表面を露出させ、

前記基板と前記第1のポリシリコン層の上に第2の誘電層を形成し、

前記第2誘電層をバーニングすることにより前記第1のポリシリコン層を覆う部分のみを残し、

前記基板上にエキピタシ層を成長させてその側面を前記第1のポリシリコン層上の前記第2誘電層の上迄延ばせるとともに、アモルファスSi層を前記第2誘電層の上に成長させることにより前記アモルファスSi層の上

部表面積をエビタキシが成長する厚さの増加によって減少して、エビタキシ/アモルファスSi層を形成させ、第2のバット酸化層及び第2の塩化珪素層にて前記アクティブデバイスエリアの上に電界酸化隔離区域を画成し、前記埋戻式水平型トレンチコンデンサの周囲を囲むようにして前記埋戻式水平型トレンチコンデンサ上のアクティブデバイスエリアを隔離し前記第2の塩化珪素層、前記エビタキシ/アモルファスSi層及び前記第2の誘電層を貫通して前記埋戻式水平型トレンチコンデンサ上の前記第1のシリコン層に複数の端点接觸孔をエッチングし、

前記各端点接觸孔の前記エビタキシ/アモルファスSi層の側壁に絶縁ライナーを形成させ第2のポリシリコン層を形成するとともに、エッチバックすることにより前記各端点接觸孔を第2のポリシリコン層を充填してアノード電極の接觸点を画成し、

前記第2の塩化珪素層と前記第2のバット酸化層を除去することで埋戻式水平型トレンチコンデンサのアレイを形成するとともに、前記デバイスエリアにゲート電極酸化層を形成して前記各メモリセルアレイを形成する。第1のポリシード金属層を形成してバーニングすることにより、前記埋戻式水平型トレンチコンデンサの上方迄延伸した前記デバイスエリアに、複数のFETゲート電極を画成し、

前記各ゲート電極の近傍に軽ドーピングソース/ドレイン電極エリアを形成し、

絶縁層を形成してエッチバックすることにより、複数の前記各ゲート電極の間際壁を構成する。前記各間際壁の横に重ドーピングソース/ドレイン電極エリアを形成し、前記各DRAMセルアレイの複数のアクセスFET形成し、前記各トランジスタのソース/ドレイン電極エリアと前記各埋戻式水平型トレンチコンデンサの前記各アノード接觸点を接続させ前記絶縁バットの上に端点ストラップを画成し、前記ソース/ドレイン電極エリアと前記接觸端点間の電気接続をおこない前記各ゲート電極及び前記各ソース/ドレイン電極エリアの上にポリシード金属誘電層を形成させ前記ポリシード金属誘電層をエッチングして前記各トランジスタの第2ソース/ドレイン電極エリアにピットライン接觸孔を画成し、

バーニングされた第2ポリシード金属層を延伸させて前記各ピットライン接觸孔を覆い、前記各DRAMセルを完成する、諸ステップを具えたことを特徴とするダイナミックラムセルアレイの製造方法。

【請求項22】 前記基板がP⁺単結晶シリコンで、そのドーピング濃度が約 1×10^{16} atom/cm³から 1×10^{18} atom/cm³迄の間で形成されてあることを特徴とする請求項21に記載のダイナミックラムセルアレイの製

造方法

【請求項24】 前記第1と第2の誘電層が塩化珪素/塩化珪素/酸化珪素層であり、形成された厚さが約20から1000の間にあることを特徴とする請求項21に記載のダイナミックラムセルアレイの製造方法

【請求項25】 前記第1と第2のポリシリコン層は、約 1×10^{19} atom/cm³から 1×10^{21} atom/cm³迄の濃度でN⁺ドーピングで形成することを特徴とする請求項21に記載のダイナミックラムセルアレイの製造方法

【請求項26】 前記エビタキシ層はドーピング量約 1×10^{15} atom/cm³から 1×10^{16} atom/cm³間のジボランのP⁺ドーピングで形成されたことを特徴とする請求項21に記載のダイナミックラムセルアレイの製造方法

【請求項27】 前記エビタキシ/アモルファスSi層の厚さが約200から5000の間にあることを特徴とする請求項21に記載のダイナミックラムセルアレイの製造方法

【請求項28】 前記絶縁ライナーが塩化珪素/塩化珪素/酸化珪素であって、その厚さが約20から2000の間にあることを特徴とする請求項21に記載のダイナミックラムセルアレイの製造方法

【請求項29】 前記電界酸化隔離エリアは、局部エリア酸化法によってエビタキシ層を熱酸化して形成されたことを特徴とする請求項21に記載のダイナミックラムセルアレイの製造方法

【請求項30】 前記アノードストラップの材質は、チタン、チタン/塩化物、珪化タングステン(TiSi_x)又は珪化チタニウム(TiSi_x)等のグループにより形成され、形成厚さが約50から10000の間にあることを特徴とする請求項21に記載のダイナミックラムセルアレイの製造方法

【請求項31】 埋戻式水平型トレンチコンデンサに於いて、

表面に容量トレンチをエッチングした基板と、前記容量トレンチに第1の誘電層を形成するとともに、第1のポリシリコン層で前記容量トレンチを充填し、バーニングされた第2の誘電層で前記容量トレンチの第1のポリシリコン層の上を覆うとともに、前記第2の誘電層を前記容量トレンチの周囲の前記第1の誘電層の上迄に延在させ、

前記基板上のエビタキシ層を側面に向かってバーニングされた前記第2の誘電層の上迄延在し、

前記エビタキシ層に下方に向かって前記容量トレンチの前記第1のポリシリコン層迄延在した垂直接觸孔を有し、且つ、絶縁ライナーを前記接觸孔の側壁に有して前記接觸孔の第2のポリシリコン層にて前記容量トレンチの第1のポリシリコン層と接觸することによって完成される諸構造を有することを特徴とする埋戻式水平型トレンチコンデンサの構造。

【請求項32】 FETを前記埋戻式水平型トレンチコンデンサの上に形成し、前記FETの第1ソース/ドレイ

ン電極エリアと前記接触点を接触させ、ビットラインと前記FETの第2ソース／ドレイン電極を接続してメモリセルを形成することを特徴とする請求項31に記載の埋蔵式水平型トレンチコンデンサの構造。

【請求項32】前記FETがMOSトランジスタであって、ゲート電極、ゲート酸化層と軽ドーブドレイン電極及び複数のソース／ドレイン電極エリア等で構成されたことを特徴とする請求項31に記載の埋蔵式水平型トレンチコンデンサの構造。

【請求項33】前記基板が単結晶シリコンに焼でN+ドーピングして形成されたことを特徴とする請求項31に記載の埋蔵式水平型トレンチコンデンサの構造。

【請求項34】前記第1のポリシリコン層と第2のポリシリコン層は、焼でN+ドーピングして形成されたことを特徴とする請求項31に記載の埋蔵式水平型トレンチコンデンサの構造。

【請求項35】前記エピタキシ層はドーピング量約 $1 \times 10^{15} \text{ atom/cm}^2$ から $1 \times 10^{16} \text{ atom/cm}^2$ 間のジボランのP-ドーピングで形成されたことを特徴とする請求項31に記載の埋蔵式水平型トレンチコンデンサの構造。

【請求項36】前記エピタキシ層の厚さが約200から500nmの間にあることを特徴とする請求項31に記載の埋蔵式水平型トレンチコンデンサの構造。

【請求項37】前記コンデンサのトレンチの深さが少なくとも $0.2 \mu\text{m}$ であることを特徴とする請求項31に記載の埋蔵式水平型トレンチコンデンサの構造。

【請求項38】埋蔵式水平型トレンチコンデンサを有するダイナミックラムに於いて、表面に容量トレンチをエッチングした基板と、

前記容量トレンチに第1の誘電層を形成するとともに、第1のポリシリコン層で前記容量トレンチを充填し、バーナーニングされた第2の誘電層で前記容量トレンチの第1のポリシリコン層の上を覆うとともに、前記第2の誘電層を前記容量トレンチの周囲の前記第1の誘電層の上迄に延在させ、

前記基板上のエピタキシ層を側面に向かってバーナーニングされた前記第2の誘電層の上迄延在し、前記エピタキシ層に下方に向かって前記容量トレンチの前記第1のポリシリコン層延在した垂直接触孔を有し、且つ、絶縁バッテを前記接触孔の側面に有して前記接触孔内の第2のポリシリコン層にて前記容量トレンチ内の第1のポリシリコン層と接触することによって埋蔵式水平型トレンチコンデンサを完成し、且つ、前記埋蔵式水平型トレンチコンデンサの上を覆う前記エピタキシ層にFETを有して、前記FETの第1ソース／ドレイン電極エリアと前記アノード接触点を接続し、

ビットラインと前記FETの第2ソース／ドレイン電極とを接続してダイナミックラムセルを完成する構造を特徴とする埋蔵式水平型トレンチコンデンサを有するダイナミックラムの構造。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は集積回路部材に関する、特に、水平型トレンチコンデンサを有するダイナミックラム(DRAM)セルの新規製作法に関する。

【0002】

【従来の技術】DRAMデバイスは、メモリセルアレイにコンデンサの蓄積電荷によって生成されるデジタル信号の蓄積に用いられ、メモリセルは、アクセストランジスタとコンデンサまで形成される。前記アクセストランジスタは、通常、Nチャネル電界効果トランジスタ(FET)を用い、ワードラインにより周辺回路へ接続する。前記コンデンサは、該基板の各メモリセルエリアにトレンチをエッチングしてトレンチコンデンサを構成、または、メモリセルエリアのアクセストランジスタの上に導電層を蒸着することによりスタッカドコンデンサを形成して、電界効果トランジスタ(FET)のソース又はドレン電極の何れと接続し、FETの他のソース又はドレン電極にはビットラインが接続される。なお、DRAMデバイスのメモリセルアレイを搭載しうるようになるべく、各コンデンサはメモリセルエリアのサイズよりも大きくならない状態に置かれる。

【0003】然るに、DRAMデバイスのコンパクト化を期するに当り、前記メモリセルエリアが縮小しない状態に於いて、より多きメモリセルを具えるDRAMデバイスの製作難度は増加しつつあり、例えば、2000年以前にメモリセル数を 10^9 ビット程度迄に拡張しようとするとなれば、各メモリセルエリアのサイズを縮小し、前記コンデンサの必要面積を縮小しなければならないが故、充分な静電容量を維持して必要なSN比を提供することが更に難しくなる。また、コンデンサ内に充分な電荷を維持する為、リフラッシュサイクルの時間をも短くすることとなり、DRAMの実行機能が必然的に劣化する。半導体工業の前記課題解決方法に於いて、スタッカドコンデンサを具えるDRAMデバイスの形成がある。前記コンデンサは、パストランジスタの上に形成され、Z軸方向に垂直延伸し、X-Yの軸方向、即ち、基板表面に沿って面積が縮小した場合、Z軸方向に於いて面積の増加が可能となる。周知される構成は二種類ある。図1は、ビットラインの下方にコンデンサを配置した構成(CUB capacitor under bit-line)を示し、図2にビットラインの上方にコンデンサを配置した構成(COB capacitor over bit-line)を示す。

【0004】図1は、CUB構成のDRAMデバイスの断面図である。該セルエリアは基板10の上に形成される電界酸化エリア12にて隔離され、前記電界酸化エリアは、局部酸化法(LOCOS)または、浅溝隔離法(shallow trench isolation)で形成し、加熱酸化法により酸化状態にてFETのゲート酸化層14をアクティブデバイスエリアに形成する。なお、ポリシリコン又はポリシリ

下層16を形成し、FETのゲート電極をバターニングで形成し、イオン注入によりFETのソース/ドレイン電極17をドーピングして構成するとともに、絶縁層18を形成し、異方性プラズマエッチングにより、ウォールスベーザ18を形成する。更に、選択されるソース/ドレイン電極エリア19を2次イオン注入により形成してFETを完成する。スタックドコンデンサは内部誘電層、即ち絶縁層20を形成する。前記コンデンサの接觸孔2は、絶縁層20をエッチングすることによって構成され、前記接觸孔2から各FETのソース/ドレイン電極エリア19を露出(図1に於いては、DRAMセルアレイのメモリセルのみを記述)し、それぞれの接觸孔2の22' (電極接觸点)を介してコンデンサの下電極22に、FETのソース/ドレイン電極19が接続される。例えば、ドーピングされたポリシリコン層22は、バターニングすることによりブロックコンデンサの下電極22を形成する。なお、その他各層とプロセスのステップを踏み、クラウン型コンデンサ、フィン型コンデンサ及びその他類似物等の画成が行われ、前記スタックドコンデンサは、高誘電定数誘電層24及びバターニングにて形成される上電極26等とを西成して完成する。なお、第2の絶縁層28(内部誘電層)は、コンデンサの隔離用に用いる。ビットライン接觸孔4は、絶縁層28をエッチングしてFETの第2のソース/ドレイン電極エリア19を露出することによって形成され、また、チタン或いは塗化チタンを含有するアルミ・耐合金バリア層の第1金属層をバターニングすることによってビットライン30を形成し、第2のソース/ドレインエリア19に接点30を接続してDRAMセルアレイを形成する。なお、前記ビットラインに珪化タングステン(WSi₂)又は珪化チタニウム(TiSi₂)等のポリシード(金属珪化物/ポリシリコン層)を使用することもある。

【0005】高解度ホトリソグラフィ技術は、浅いフォーカスの深さ(depth of focus)によって得るが、平坦な表面に無変形のフォトリジストパターンを用いた照射を行うとともに、平面上に形成する導電層の後続作業に異方性プラズマエッチングを施す時のステップ(stEEP step)残留の発生を防ぐが、素子表面分布の上下起伏による荒さがある。平滑化技術を用いてサブマイクロメートル程度の平滑表面を提供しなければならない。また、ビットライン接觸孔には、高いアスペクトレシオ(aspect ratio)が見えられ、高接触抵抗による電気的断線(electrical open)現象が発生する。図2に、他の方法によって製造されたスタックドコンデンサを有するDRAMセルの断面図を示す。このDRAMセルアレイは、ビットラインの上方にコンデンサを配置した構成であって、製造方法はビットラインの下方にコンデンサを配置した構成に類似する。符号も同じ表示にする。COB構成に於いて、ビットライン30は、絶縁層20に形成するビットライン接觸孔4に於けるビットライ

ン接點30'をスタックドコンデンサが形成される前に西成する。このビットライン接觸孔4には、比較的低いアスペクトレシオが見えられるも、ビットライン30は、通常導電性の低い高融点材質(ドーピドポリシリコン又は、金属珪化物)で形成される故、高温プロセスに於いてスタックドコンデンサを完成しなければならない。然るに、スタックドコンデンサの端点接觸孔は、高いアスペクトレシオのコンタクトオープニングを必要する故、そのエッチングプロセスが難しくなる。且つ、CUB構成をCOB構成に応用する時、素子表面の荒さに発生する問題をも考慮しなければならない。

【0006】なお、ビットラインとコンデンサとをシリコンの表面に形成するスタックドコンデンサの製造方法がある。コンデンサをビットラインの上方に構成するDRAMセルの3次元断面図を図3に示す。DRAMセルのサイズが逐次縮小されて、同一シリコン基板の平面上にビットラインとコンデンサ間に充分な空間を維持しながら同時に配置することは更に難しくなる。図3は、ビットラインの上方に二つのコンデンサを西成したDRAMセルを示す。この場合、下電極22'の上方に二つの隣接するクラウン型コンデンサ22と、ビットライン30と共に設置され、図2に於ける絶縁層20は、この構成に表示されていない。図3内に於いて、デバイスのアクティエリア1は、浅い隔離エリア12に開かれ、DRAMデバイスの提供しうるメモリセル数が少くなり、ビットライン30とスタックドコンデンサ接觸孔22'間の空間が更に縮小される。この結果は、同一基板に形成するビットラインとコンデンサとの隔離不足をきたし、短絡現象をもたらすこととなる。なお、不規則形状のメモリセルを設けることによりビットラインとコンデンサとの隔離を増加させようも、不規則形状のFETゲート電極の設計は、FETの通路長さの制御に困難をもたらし、生産能率の降低に繋がる。

【0007】図4は、トレンチコンデンサを用いたDRAMセルアレイ製造方法に於けるDRAMセルの断面図を示す。この方法は、蓄積用コンデンサをシリコン基板のトレンチエッチにて形成し、基板表面のエリアにビットラインを形成する。よって、コンデンサにはCUBまたはCOBの構造に於けるDRAM素子の分離問題がない。この方法は、未来的高密度DRAMセルアレイに於けるメモリセル表面積の縮小に対応して応用しうる。図4に、従来トレンチコンデンサのDRAMセルの断面図を示す。先ず、シリコン基板10内に浅いトレンチ隔離エリア12を形成することによりアクティエリアを隔離し、基板10にトレンチ5が示すような深い溝をエッチングして形成するとともに、前記トレンチ5のシリコン表面に高誘電定数絶縁層32を形成する。トレンチ内にアノード電極34をドーピングされたポリシード導電層にエッチパックしてコンデンサを形成し、トレンチコンデンサのデバイスエリア近傍に第1のゲート酸化層14を

形成してFET(アクセストランジスタ)が構成される。形成されたポリシード層をバーニングしてゲート電極とワードライン(未表示)を画成し、また、軽ドーピング(lightly doped)ソース/ドレインエリア17、絶縁ウォールスベーザ18、重ドーピドソース/ドレインエリア19等を画成して、FETが完成される。更に、導電層をバーニングしてストラップ36を画成することにより、コンデンサのポリシードアノード電極34とソース/ドレイン電極エリア19のつとを接続させ、絶縁層20をエッチしてピットライン接続孔4を画成する。最後に第2のポリシード層をバーニングすることでピットライン30を形成してDRAMセルアレイが完成される。

【0008】しかし、前記トレンチコンデンサを有するDRAMセルには制限がある。例えば、充分な蓄積容量を得るにはトレンチの深い(アスペクトレーショ20~40)コンデンサを構成することとなり、将来、ULSIプロセスに於けるDRAMのトレンチアスペクトレーショは、予期以上の数字となる。なお、従来のトレンチコンデンサの画成方法に於けるプロセスの欠点は、トレンチによるFET下方のセルエリヤ延在する容量の増加ができないことである。J.M. ChoiのUSP 5,418,177に掲示されるFET下方エリアの利用方法は、基板上に埋蔵隠匿式コンデンサを形成し、さらに、ポリシード層にFETを形成することであるが、前記FETは、単結晶シリコンに形成された物に比べて劣る。McElroyのUSP 4,896,293に開示する方法は、トレンチの側壁にFETを形成し、ドレイン電極を基板の上方表面に画成することでデバイスのサイズを小さくする。なお、Ishiが開示したUSP 5,112,771は、深いトレンチをエッチングし、トレンチ下方に位置するシリコン基板を等方性エッチングをすることによって容量エリヤを増加することである。

【0009】前記トレンチコンデンサを構成するまた一つの方法に、FETをトレンチの上方に形成ことによりデバイスの空間を節減する方法がある。この方法は、マガジン「nol」第2期69頁及び611頁に示す図8-24と図8-25に開示される。該方法は、ダブルエピタキシプロセス(double epitaxy process)によってセルフアライドエピタキシ(self-aligned epitaxy)をトレンチの上に形成する。完全にP+基板と隣接する蓄積電極(P+ポリシリコン点電極)の西成後、選択性エピタキシを側面に成長させ、トレンチコンデンサを隣接する酸化珪素の上に単結晶P-シリコンを形成する。但し、前記エピタキシ成長は、トレンチの上にエピタキシが完全に形成される以前に停止してセルフアライド孔を画成する。なお、孔内の酸化珪素をエッチングすることによりトレンチ内のP+ポリシリコンを露出させ、第2のP-エピタキシャル層が成長し、孔内にPチャネルFETメモリセルコンデンサのピラミッド状ポリシリコンの接觸点を形成する。しかし、マルチエピタキシは原価面に於ける効果が薄く、25.6メガビット以上は1ジガビ

トDRAMデバイスに於ける孔径の管理が難しい。また、P+基板のP+蓄積電極は、高誘電定数の誘電層を経て漏れ電流現象を引き出す原因にもなる。

【0010】

【発明が解決しようとする課題】半導体工業に与えられた課題は、DRAMセル製作に於けるトレンチ蓄積コンデンサの製造方法を改善することにより、トレンチコンデンサの信頼度と経済面の効果とを向上させる原則上において、深さ(アスペクトレーショ)を減少させても容量増加が可能である製品の開発となる。本発明は、メモリセイに容量増加用の埋蔵トレンチコンデンサを有するDRAMセルアレイの構造と製造方法を提供することを主要目的とする。本発明の目的の目的は、埋蔵式水平型トレンチコンデンサを製造することによりDRAM素子のメモリセル密度が増加しうる方法を提供し、未来高密度(1ジガビット)メモリデバイスに応用しうるDRAMセルアレイの容量増加である。

【0011】本発明の更の目的は、埋蔵式水平型トレンチコンデンサの上にエピタキシャル層を有し、前記FETのゲート電極と深いトレンチ隣接エリアとをコンデンサの上に構成することにより、DRAMセルの密度を増加することである。

【0012】

【課題を解決するための手段】本発明の目的に対応して提出される埋蔵式水平型トレンチコンデンサを有したDRAMセルアレイの製造方法を以下に簡略に述べる：P型導体をドーピングした単結晶シリコン半導体基板の上に、第1のバット酸化層と第1の窒化珪素層を形成し、従来のホリゾンタル技術と異方性エチチフロセスによるバーニングの後、基板に容量トレンチを画成し、各DRAMセルの基板上に埋蔵式水平型トレンチコンデンサのアノード電極を画成する。前記容量トレンチは、基板に垂直するZ軸方向に延伸しうるか、水平方向(X-Y軸方向)に向かっても延伸しうるような逆マッシュルーム形状を形成して、容量の増加を行う。該容量トレンチの表面に高誘電定数を有する第1の誘電層、例えば、酸化珪素/窒化珪素層を形成させ、容量トレンチを充填しうる厚さのブランケット状第1ポリシリコン層を形成し、化学機械研磨法でシリコン基板の表面が露出するよう研磨してトレンチ内に残す前記第1のポリシリコン層とシリコン基板の表面を同一平面に仕上げ、高誘電定数を有する第2の誘電層を前記第1のポリシリコン層とシリコン基板の表面に形成し、第1のポリシリコン層と第1の誘電層上に延伸した部分及び基板の上に拡張した部分を覆う部分を残すようにバーニングする。

【0013】エピタキシャル珪素層をシリコン基板上に形成する。前記シリコン基板にエピタキシ成長する前記エピタキシャル珪素層は、第2の誘電層の上方に向かって延伸すると同時に、この非選択性エピタキシによりア

モルファスSiを第2の誘電層上に成長させ、エピタキシャル珪素層の側面成長により、トレニチに充填されるポリシリコン上方のアモルファスSi層上部の表面積を逐次減少させる。トレニチ上のこのエピタキシ/アモルファスSi層の延伸により、FETのゲート電極と浅溝隔離エリアを容量トレニチの上に形成し、DRAMセルの密度増加が可能となる。更に、第2のパック酸化層と第2の塩化珪素層でアクリティ/デバイスエリアを覆うことにより電界酸化隔離エリアを構成し、この電界酸化隔離エリアは翻版式水平型トレニチコンデンサ上方のアクリティ/エリニアを閉じよう形成され隔離が行われる。従来の局部エリニア酸化(LOCOS)法によって電界酸化隔離エリアが形成が可能ではあるが、本願は、浅溝隔離方式を用いて形成される。その後、第2の塩化珪素層と第2のパック酸化層をフォトレジストマスクと異方性アラズマエッチャングを用いてエッチャングをするとともに、第2の誘電層に至る迄エピタキシ/アモルファスSi層を貫通して接触孔を画成する。フォトレジストマスクを剥離した後、接触孔のエピタキシ/アモルファスSi層側壁上に絶縁ライナーを構成し、異方性アラズマエッチャングにより接触孔内の第2の誘電層を除去することによって水平型トレニチコンデンサの第1のポリシリコン層を露出させ、第2のドープドポリシリコン層を形成して接触孔を充填し、塩化珪素層でアクリティ/デバイスエリニアを保護し、第2のポリシリコン層をエッチパック又は化学機械研磨法にて第2のポリシリコン層を研磨してアノード接触点を画成して、埋戻式水平型トレニチコンデンサを完成する。

【0014】統いて、第2のパック酸化層と第2の塩化珪素層を除去するとともに、デバイスエリニアにFETのゲート電極を画成してDRAMセルアレイを構成する。なお、第1のポリシリード金属性層を形成してバターニングし、水平型トレニチコンデンサの上方のアノード接触孔に近隣したデバイスエリニアにFETのゲート電極を画成することでDRAMセルのサイズを縮小させ、また、ポリシリード金属性層のバターニングと同時にビットラインを浅溝隔離エリアに画成し、イオン移植法でゲート電極の近傍に軽ドープドソース/ドレイン電極エリアを形成する。絶縁層を形成してバターニングし、FETゲート電極の隔壁に間隙壁を形成させ、イオン注入法で間隙壁の近隣に重ドープドソース/ドレイン電極エリアを形成することでDRAMセルアレイのFETが構成される。なお各FETのソース/ドレイン電極エリアを水平型トレニチコンデンサのアノード接触点上方に延伸させ、導電層を蒸着してバターニングし、接点ストラップをバット層の上方に形成させてソース/ドレイン電極エリアとアノード接触点との電気接続を構成する。また、ポリシリコン/金属性電極にてFETのゲート電極とソース/ドレイン電極エリアを隔離し、更にポリシリコン/金属誘電層をエッチャングして各FETの第2のソース/ドレ

イン電極エリニアを露出させてビットライン接触孔が画成される。第2のポリシリード金属性層を蒸着してバターニングをすることでビットラインを形成してDRAMセルアレイが完成される。

【0015】

【発明の実施の形態】本発明の前記目的、特徴及びメリットを更に分かりやすくさせる為、実施例を挙げ、図面を参照して以下に詳細な説明をする。埋戻式水平型トレニチコンデンサを有する高密度ダイナミックラムセルアレイは、單一のエピタキシャル珪素層を埋戻式コンデンサの上方に延長して形成される。前記DRAMセルの構成とその構成の方法を以下に詳述する。DRAMセルは、埋戻式水平型トレニチコンデンサのP-エピタキシアル層の上に、N-チャネル電界効果トランジスタ(N-channel FET)を各モリセルのアクセルトランジスタとして形成する。デバイスエリニアが縮小した場合、この設計計は、デバイスエリニア下方の空間を利用した本発明により容量の増加された埋戻式コンデンサの製作が可能となる。この技術に精通した者であれば、本実施例に記述される以外の工程ステップ及び他形式の素子の増加等をも、このDRAMチップに含むことは了承できる筈である。例えば、基板のPドープドエピタキシ(P-doped epitaxy)にNドープドウェルリージョン(N-doped well region)を形成、又は、CMOS回路(complementary metal-oxide semiconductor circuit)にP-チャネルFETを形成すること等は、DRAMチップの周辺回路の一つである。

【0016】図5-11を参照して、新規埋戻式水平型トレニチコンデンサにてDRAMセルを形成するプロセスステップの詳細をを以下に記述する。また、図12は、前記埋戻式トレニチコンデンサにて形成されるDRAMセルの断面図を示す。図5に於いて、DRAMセルのコンデンサ製作に於けるイニシャルステップの断面図を示す。この段階に於いて、埋戻式水平型トレニチコンデンサを半導体基板40に形成する。P⁺ドーピング(例えば、ジボラン)の単結晶シリコン基板40と、基板40上に熱酸化法で形成された酸化シリコンが組成する第1のパット酸化層42を約200-300Å間の厚さで形成し、前記第1のパット酸化層42の上に第1の塩化珪素層44を、低圧化学気相成長法(LPCVD)により二塩化シラン(SiCl₂H₂)とアンモニアとの反応ガスで50-1000Åの厚さに形成する。

【0017】フォトレジストマスク46と異方性アラズマエッチャングは、後続するデバイスエリニアのエッチャングプロセスに於いて、埋戻式水平型トレニチコンデンサの容量トレニチ形成に使用される。第1の塩化珪素層44と第1のパット酸化層42は、高密度アラズマエッチャング(high-density plasma etcher)で異方性アラズマエッチャング、又は、フッ素ガス(例えば、CF₄)を含有するアクリティブイオンエッチャ(reactive ion etcher)に於いてP⁺

ドープド基板40に容量トレンチ7が形成される迄継続的にエッチングされ、このトレンチは、後続のステップに於けるコンデンサの正電極として形成する。なお、より良きトレンチは、異方性プラズマエッチングと塩素の混合ガスによるエッチングで形成される。前記トレンチ7は、垂直の方向（Z軸方向）に延しうるのみでなく、水平の方向（X-Y軸方向）にも拡張することができ、逆マッシュルーム形状を構成し、デバイスアリーワ下方の空間を利用することにより容量の増加が可能となる。なお、容量の増加は、トレンチを深くすることによって増加することも可能である。前記エッチングによるトレンチ7の深さは、少なくとも約0.2μm以上にする。

【0018】図6に、フォトレジスト46を剥離した後のシリコン基板のトレンチ7表面に第1の誘電層（高誘電定数）48、例えば、酸化珪素/塗化珪素/酸化珪素（ONO）誘電層を形成した状態を示す。前記ONOの形成は、トレンチ7の表面を加熱して酸化させた後、塗化珪素層を蒸着し、酸素雰囲気を通過させることによってアーニルを行い、一部分の塗化珪素を酸素と反応させて酸化珪素を形成する。ONO48の厚さは、約200～1000Åの間が適度である。なお、前記第1の誘電層に他の高誘電定数誘電層、例えば、酸化タングル（Ta₂O₅）または、その他の鉄電物質を使用することができる。

【0019】図7は、前記第1の誘電層48の上に厚さがトレンチの深さより大きいブランケット状の第1のポリシリコン層50を形成してトレンチ7を充填した状態を示す。ポリシリコン層50は、低圧気相成長法（LPCVD）に水素化珪素を反応ガスとし、約1×10¹⁵atom/cm²から1×10²¹atom/cm²迄の濃度でポリシリコン蒸着とともに水素化磷（phosphine Ph₃）をN₂ドープして形成する。なお、化学機械研磨法を用い、前記シリコン基板40の表面が露出する迄第1のポリシリコン層50を研磨し、前記トレンチ7内の第1のポリシリコン層50のみを残して、前記第1のポリシリコン層50と基板40の表面を同一の表面に仕上げる。前記研磨は、一般半導体工業が常用する同一の方法であって、市販の研磨装置とスラリーを用いて行う。前記シリコン基板40と第1のポリシリコン層50の上に第1の誘電層48の酸化珪素/塗化珪素/酸化珪素層同様に第2の誘電層（高誘電定数）52を形成し、前記第2の酸化珪素/塗化珪素/酸化珪素層の熱酸化ステップに於いて、化学機械研磨で発生した研磨の損害を補正する。第2の誘電層52をバターニングすることにより第1のポリシリコン層50を覆う部分と第1の誘電層48周縁及び基板40に延在した部分を残して図8が示す状態になる。前記誘電層52のバターニングは、フォトレジストマスクを用い、フッ化水素の希釈液にてウェットエッチングで酸化珪素層を除き、また、熱焼酸溶液でエッチングして塗化珪素層を除く。

【0020】図9は、本発明に於ける重要特徴を示す。シリコン基板40の上に非選択性エピタキシャル珪素層（n

on-selective epitaxial silicon layer）54を成長させるとともに、トレンチ7上方の第2誘電層52の上にアモルファスSi54'を成長させる。エピタキシ層54の成長が第2誘電層52の上迄延在し、非選択性エピタキシである為、第2誘電層52の上に成長するアモルファスSi54'は、トレンチを充填するポリシリコンの上のアモルファスSi54'に於ける上部面積が逐次減少して図9に示された点線53の图形を呈す。このエピタキシ/アモルファスSi54'（アモルファスSi54'を含む）は、市販のエピタキシ反応装置にて200～5000Åの厚さに形成させ、同時に、ジボラン（diborane B₂H₆）で前記エピタキシ/アモルファスSi54'を硼素のドーピング濃度1×10¹⁶atom/cm²から1×10¹⁸atom/cm²迄のPドープエピタキシャル層を形成する。このエピタキシャル層54は、ポリシリコンを充填した容量トレンチの上方に延在して、DRAMのFETのゲート電極と浅溝隔離エリヤが容量トレンチの上方に形成しうるようし、容量の増加に伴ってDRAMセルの密度を増加する。

【0021】さらに、図10の如く、前記第1のバット酸化層と第1の塗化珪素層を蒸着する方法で第2のバット酸化層56と第2の塗化珪素層58をエピタキシ/アモルファスSi54'の上に蒸着し、未図示のフォトレジストマスク及びプラズマエッチングにて、デバイスを形成するアクティブエリヤ部分を残す。電界酸化隔離エリヤ60は、埋式水平型トレンチコンデンサ上方のアクティブエリヤを囲んで幅縫を形成する。前記電界酸化隔離エリヤ60は、従来の局部エリヤ酸化法で形成することができるが、浅溝隔離法にて高密度のDRAMデバイスを形成するは3がよい。一般工業に使用される方法は、エッチングでトレンチを形成した後、熱酸化及び化学気相成長法で酸化珪素層60を蒸着し、化学機械研磨して、酸化珪素層60を塗化珪素層表面迄エッチャックすることによりデバイスエリヤとの同一平面を構成させる。前記浅溝隔離法にて形成するトレンチの深さは、約0.1μmから1.0μm迄である。

【0022】従来のホトリニアグラフィ技術のフォトレジストマスク62および異方性プラズマエッチングプロセスでは第2の塗化珪素層58とアモルファスSi54'をアノード電極50上の第2誘電層52をエッチングして端点接触孔9を画成する。前記端点接触孔9は、リアクティブイオンエッチング、又は、高密度プラズマエッチングで画成するほうが良い。なお、塗化珪素層58及び酸化珪素層64は、CCl₂F₂、CH₂F₂、CF₃H₂、CH₂Cl₂等のフッ素を含むフッ化物、または、その類似性質を有する物のエッチャングガスでエッチングし、アモルファスSi54'は、BCl₃/CCl₄、BCl₃/O₂等塩素或いは臭素を含むガス、または、その類似性質を有する物のエッチャングガスでエッチングする。その後、図11が示すように、フォトレジストマスク62を剥離し、第2の塗化珪素層58を除去する

前に、熱酸化法を用いて端点接触孔9の側壁にライナーオキサイド層64を形成する。デバイスエリア上の第2の塗化珪素層58と第2誘電層上の塗化珪素層58は、酸化反応の発生を防止する。前記ライナーオキサイド層64は、高誘電定数の誘電層、例えば、酸化物/塗化物/酸化物層を約20Åから100Å迄の厚さに蒸着、又は、酸化タンタル(Ta_2O_5)で前記ライナーオキサイド層64を形成する。その後、異方性プラズマエッチングを行なうことにより、端点接触孔9内の高誘電定数誘電層64、52を選択的に除去する。

【0023】なお、低圧化学気相成長法で第2のポリシリコン層66を形成して研磨し、接触孔9に埋戻式水平型トレンチコンデンサと接続されるアノード接触点66を形成する。前記塗化珪素層58と電界離隔エリヤ60は、研磨またはエッチパックの作業に際してシリコン基板を保護する。前記第2のポリシリコン層66の厚さは接触孔9の幅の半分よりも大きくなり、接触孔を完全に充填しうるようになる。形成するとともに、低圧化学気相成長法でポリシリコンを蒸着する時、焼成水素(H_2)を通し、ドアード濃度を約 $1 \times 10^{13} \text{ atom/cm}^2$ から $1 \times 10^{21} \text{ atom/cm}^2$ 迄の程度にする。DRAMセルアレイは、図12に示すように、バストランジスタとビットラインを形成して完成される。本発明に於ける重要特徴は、各メモリセルのFETをトレンチコンデンサ上方のエピタキシャル層54の上に画成したことであって、デバイスのサイズを縮小するとともに、容量値を増加させる。

【0024】その後の工程で、図11に示されるデバイスの第2塗化珪素層58および第2バット酸化層56を除去する。塗化珪素層58の除去に熱焼成エッチングが使用され、バット酸化層56の除去にフッ酸(hydrofluoric acid)溶液が使用される。FETのゲート電極酸化層14はドライ酸素の雰囲気に於いて、熱酸化法を用いてデバイスエリアの上に、厚さ約20Åから100Å迄に形成する。FETのゲート電極16とビットライン16'は、ゲート電極酸化層14の上にポリシリコン層と珪化タンゲステン層を蒸着して第1のポリシード層16を形成し、バーニングによって画成する。前記第1のポリシード層16は、低圧化学気相成長法により、厚さ約500Åから3500Å迄のN_xドープドポリシリコン層を形成する。典型的なポリシリコンは、濃度約 $1 \times 10^{11} \text{ atom/cm}^2$ から $1 \times 10^{21} \text{ atom/cm}^2$ 程度の硅素または燐にてイオン注入を行ってドーピングする。珪化タンゲステン層は、W_xと水素化珪素を反応ガスとして低圧化学気相成長法によって形成する。

【0025】その後、伝統的ホトアリガラフィ技術および異方性プラズマエッチングにより、ポリシード層をエッチングし、FETのゲート電極16と浅溝離隔エリヤ60の上のビットライン16'を同時に画成する。本発明の方法では、ゲート電極16を埋戻式水平型トレンチコンデンサ8の上迄延在伸してDRAMセルのサイズを更に縮小

する。なお、ゲート電極酸化層16をアノード接触点に近隣して形成することができる。軽ドープドソース/ドレイン電極エリア17は、ゲート電極16に近隣してイオン注入を行うことで形成される。一般DRAMセルが採用するN-チャネルバストランジスタの軽ドープドソース/ドレイン電極エリア17の形成では、約1.5KeVから4.0KeV程度のエネルギーが注入される故、約 $1 \times 10^{13} \text{ at cm/cm}^2$ から $1 \times 10^{16} \text{ atom/cm}^2$ 程度の硅素または燐が注入される。また、酸化珪素層の絶縁層を蒸着し、エッチパックしてFETのゲート電極16とビットライン16'の側壁保護膜18を形成し、硅素を注入して重ドープドソース/ドレイン電極エリア19を形成する。前記ソース/ドレイン電極エリア19は、イオン注入法により、約 $1 \times 10^{13} \text{ atom/cm}^2$ から $1 \times 10^{21} \text{ atom/cm}^2$ 程度のドーピングを行う。FETの前記ソース/ドレイン電極エリア19は埋戻式水平型トレンチコンデンサ8のアノード接触点66の上迄延在伸する。また、絶縁ライナーエリヤ64の上に電導層を蒸着して、バーニングによりアノードストラップ68を形成し、前記ソース/ドレイン電極エリア19とアノード接触点66をより良き電気接觸にする。なお、前記アノードストラップ68は、厚さ50Åから1000Å迄のナラン、塗化チタン、珪化タンゲステンまたは他の金属化合物を蒸着し、プラズマエッチまたはウェットエッチでバーニングして画成する。

【0026】更に、ポリシリコン/金属性誘電(PMO)層70をデバイスの上に蒸着してFETのゲート電極16とソース/ドレイン電極エリア19を隣接する。前記PMO層70は、化学気相成長法で厚さ1000Å～5000Åの酸化珪素層を形成蒸着し、表面を平坦化することによって、無突起のフォトリエスト画面を形成させ、次にビットラインのバーニングを改善し、ビットライン間に残存物がないようにする。前記ポリシリコン/金属性誘電(PMO)層70を各FETの第2のソース/ドレイン電極エリア19が露出するまでエッチングしてビットライン接触44を設け、第2のポリシリコン/金属層30を蒸着してバーニングすることによりビットラインを画成してDRAMセルアレイを完成する。前記ポリシリコン/金属層30を蒸着してバーニングすることによりビットラインを画成してDRAMセルアレイを完成する。前記ポリシリコン/金属層30は、厚さ約250Åから2000Å迄のN_xドープドポリシリコン層と厚さ約2000Åから2000Å迄の珪化タンゲステン層で構成される。なお、ポリシリコン層は低圧化学気相成長法にて焼成水素(H_2)を反応ガスとし、濃度約 $1 \times 10^{13} \text{ atom/cm}^2$ から $1 \times 10^{21} \text{ atom/cm}^2$ 程度の硅素または燐にてドーピングを行う。前記珪化タンゲステン層は、W_xと水素化珪素を反応ガスとして低圧化学気相成長法によって形成し、最後に、異方性プラズマエッチングで前記ポリシリコン/金属層30をエッチングしてビットラインを形成する。

【0027】

【発明の効果】以上に記述するDRAMセルの構成は、基板に形成するコンデンサを水平方向に延在伸すること

によりその容量の増加が可能であって、従来の高アスペクトレーショントレンチのエッチングが不要になるとともに容量増加の目的を達成することができる。更に容量を増加しなければならない場合、従来の垂直データトレンチのアスペクトレーショント 2.0 ~ 4.0 は、未来 ULSI の DRAM デバイスに於いて、更に増加されることが予想されうる。しかし、コンデンサの垂直トレンチを深くすることは、エッチングと再充填のステップに於いてプロセスの困難を招く。本願の構成は、基板表面の空き空間にビットラインを画することにより、メモリセルのサイズを縮小し、また、この新規の構成による DRAM は、スタックドコンデンサの容量電極とビットラインとを基板表面に形成することでデバイスの構成が更に凹凸起伏する前記構成よりはメリットがある。

【0028】本発明は、発明の実施形態にて記述したように揭示するが、前記説明は本発明を拘束するものではない。本発明に述べる発明の主旨と範囲に於いて、この方面的技術に精通した者が各種の変更及び修飾をすることができるよう、本発明の保護すべき範囲は、明細書に記載された特許請求の範囲を基準とする。

【図面の簡単な説明】

【図1】 従来のビットラインの下方にコンデンサを配置した構成 (CUB構成) を示すDRAMセルの断面図。

【図2】 従来のビットラインの上方にコンデンサを配置した構成 (COB構成) を示すDRAMセルの断面図。

【図3】 従来のスタックドコンデンサをビットラインの上方に構成したDRAMセルの三次元空間図。ビットラインとコンデンサとが同一のデバイスエリア上に形成した場合の問題を揭示する。

【図4】 従来のDRAMセルに於いてデバイスの比例を縮小した場合、伝統的なトレンチコンデンサがデータトレンチを構成して容量を増加する時の断面図。

【図5】 本発明の実施形態に於いて、埋蔵型底式水平型トレンチコンデンサを具えたDRAMセルアレイを形成する時の各ステップに於けるデバイスの断面図。

【図6】 本発明の実施形態に於いて、埋蔵型底式水平型トレンチコンデンサを具えたDRAMセルアレイを形成する時の各ステップに於けるデバイスの断面図。

【図7】 本発明の実施形態に於いて、埋蔵型底式水平型トレンチコンデンサを具えたDRAMセルアレイを形

成する時の各ステップに於けるデバイスの断面図。

【図8】 本発明の実施形態に於いて、埋蔵型底式水平型トレンチコンデンサを具えたDRAMセルアレイを形成する時の各ステップに於けるデバイスの断面図。

【図9】 本発明の実施形態に於いて、埋蔵型底式水平型トレンチコンデンサを具えたDRAMセルアレイを形成する時の各ステップに於けるデバイスの断面図。

【図10】 本発明の実施形態に於いて、埋蔵型底式水平型トレンチコンデンサを具えたDRAMセルアレイを形成する時の各ステップに於けるデバイスの断面図。

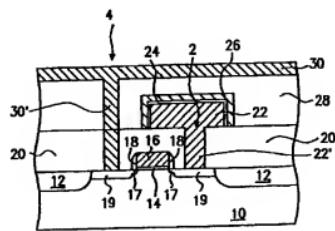
【図11】 本発明の実施形態に於いて、埋蔵型底式水平型トレンチコンデンサを具えたDRAMセルアレイを形成する時の各ステップに於けるデバイスの断面図。

【図12】 本発明の実施形態に於いて、埋蔵型底式水平型トレンチコンデンサを具えたDRAMセルアレイを形成する時の各ステップに於けるデバイスの断面図。

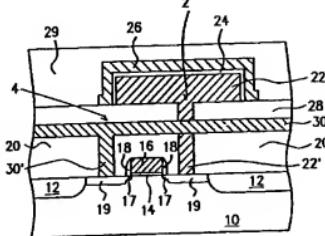
【符号の説明】

2, 9	端点接触孔	4	ビットライン
7	容量トレンチ	10, 40	基板電極酸化層
12, 60	電界強化隔離エリア	14	ゲート
16	ゲート電極	16'	ワードライン
17	ライトドープドソース/ドレイン電極エリア		
18	間陥壁		
19	重ドープドソース/ドレイン電極エリア		
20, 28, 32	絶縁層	22	コンデンサ
22'	下電極	24, 48, 52	誘電層
26	上電極	30, 30'	ビットライン
34	アノード電極	36, 68	バット酸化層
44, 58	塗化珪素層	46, 52	フォトレジストマスク
50	ポリシリコン層	54	エピタキシシリコン
54'	非エピタキシシリコン	64	ライナーチー酸層
66	アノード接触点	70	ポリシリコン/金属誘電層

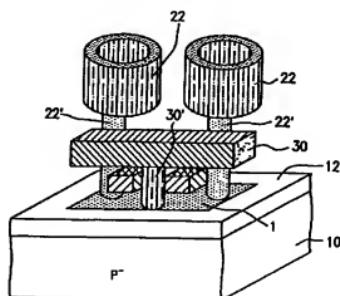
【図1】



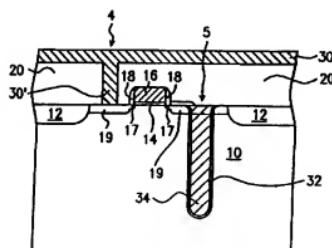
【図2】



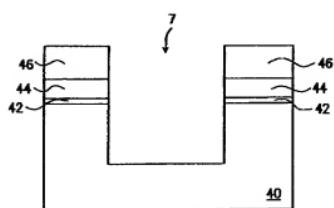
【図3】



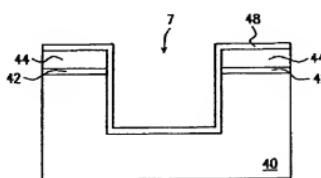
【図4】



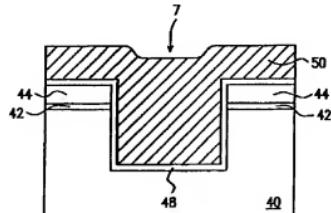
【図5】



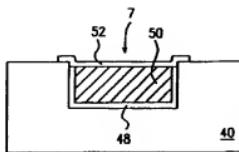
【図6】



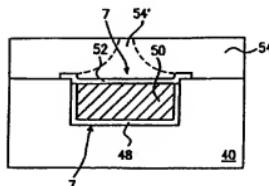
【図7】



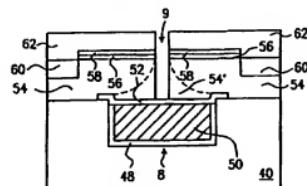
【図8】



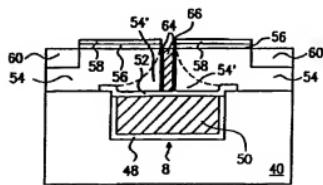
【図9】



【図10】



【図11】



【図12】

